

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月 6日

出 願 番 号

Application Number:

特願2000-104796

出 願 人

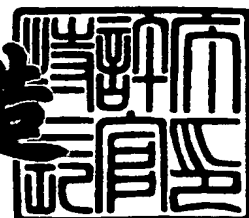
Applicant (s):

株式会社デンソー

2000年 9月 1日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3069741

【書類名】 特許願

【整理番号】 N990930

【提出日】 平成12年 4月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 絶縁ゲート型パワー I C

【請求項の数】 5

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 三浦 昭二

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 鈴木 幹昌

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 鈴木 文成

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 黒柳 晃

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

    【代表者】 岡部 弘

【代理人】

    【識別番号】 100071135

    【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

    【弁理士】

    【氏名又は名称】 佐藤 強

【電話番号】 052-251-2707

【手数料の表示】

【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲート型パワー I C

【特許請求の範囲】

【請求項 1】 半導体基板の表面に設けられた複数のセルブロックと、  
これら複数のセルブロックにそれぞれ設けられ、互いに独立する複数のゲート電極と、

前記半導体基板に設けられ、前記各ゲート電極にそれぞれ接続された複数のゲートパッドと、

前記半導体基板に前記ゲートパッドに隣接するように設けられ、複数のエミッタ電位を有するパッドとを備えて成る絶縁ゲート型パワー I C。

【請求項 2】 前記複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、

不良品のセルブロックのゲート電極に接続されたゲートパッドを前記エミッタ電位を有するパッドに接続したことを特徴とする請求項 1 記載の絶縁ゲート型パワー I C。

【請求項 3】 前記複数のセルブロックのうちの揃ったしきい値電圧  $V_{th}$  を有するセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、

不揃いのしきい値電圧  $V_{th}$  を有するセルブロックのゲート電極に接続されたゲートパッドを前記エミッタ電位を有するパッドに接続したことを特徴とする請求項 1 または 2 記載の絶縁ゲート型パワー I C。

【請求項 4】 前記半導体基板の表面に設けられ、エミッタ電極に接続されたエミッタパッドと、

前記半導体基板の裏面に設けられたコレクタ電極と、

前記半導体基板の裏面に前記コレクタ電極に接続されるように半田付けされたヒートシンク用のコレクタ端子と、

前記半導体基板の表面に前記エミッタパッドに接続されるように半田付けされたヒートシンク用のエミッタ端子と、

前記半導体基板、前記ゲート端子、前記コレクタ端子及び前記エミッタ端子を

モールドする樹脂とを備えたことを特徴とする請求項2または3記載の絶縁ゲート型パワーＩＣ。

【請求項5】 前記半導体基板の表面に設けられ、エミッタ電極に接続されたエミッタパッドと、

このエミッタパッドが接続された外部のエミッタ端子とを備え、

前記ゲートパッドと前記ゲート端子との接続をワイヤボンディングにより実行し、

前記ゲートパッドと前記エミッタ電位を有するパッドとの接続をワイヤボンディングにより実行し、

前記エミッタパッドと前記エミッタ端子との接続をワイヤボンディングにより実行したことを特徴とする請求項2または3記載の絶縁ゲート型パワーＩＣ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の表面に電流制御用のゲート電極を備えた絶縁ゲート型パワーＩＣに関する。

【0002】

【従来の技術】

高耐圧、大電流用のパワーＩＣである例えばＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）において、チップサイズを大形化すると、チップの外周部に設ける耐圧構造（例えばガードリング構造）が占める面積の割合を小さくすることができる。また、部品点数を削減できることから、組立構造を簡略化できると共に、コストを低減できるという効果を得ることができる。このため、大型チップ化が望ましく、例えば600A系のＩＧＢＴモジュールの場合、必要なチップサイズは20mm角程度になる。

【0003】

一方、ＩＧＢＴを製造する半導体ウエハプロセスにおいては、例えばパーティクル等に起因して欠陥が発生することにより、ゲート・エミッタ間が短絡するという不良が発生することがある。そして、ＩＧＢＴ等の電界効果型のトランジス

タは、ゲート電極に印加する電圧を制御することにより、コレクタ・エミッタ間に流れる電流を制御するが、チップ上に1か所でもゲート・エミッタ間短絡や絶縁を保てていないところがあると、正常な制御ができなくなり、そのチップを使用できない。更に、上記した不良は、チップサイズが大きくなるほど、発生し易くなり、良品率（即ち、歩留まり）が低下するという問題点があった。

## 【0004】

このような問題点を解消する技術として、特開平8-191145号公報に記載されたIGBTの製造方法がある。この方法では、IGBTを複数のセルブロック（ゲートブロック）に分け、各ゲートブロックから各ブロック共通のゲートボンディングパッドへの配線取出しを二層配線構造とすることを提案している。上記方法の場合、半導体ウエハプロセスの途中、すなわち、各ブロック個別に設定された一層目ゲート配線の形成後、複数個のセルブロックについて、それぞれゲート・エミッタ間が短絡しているか否か、即ち、良否の判定を行う。そして、その後、層間絶縁膜を形成し、良否の判定結果に従い、層間絶縁膜に設けた各ブロック毎のビアホールをディスペンサ等によりポリイミド液を滴下して、良品のセルブロックの一層目ゲート配線だけを二層目ゲート配線に接続し、不良品のセルブロックの一層目ゲート配線を二層目ゲート配線から切り離してソース電極に短絡するような2層配線を形成するようにしている。

## 【0005】

この方法によれば、複数のセルブロックの中に不良ブロックが存在する場合でも、良品のセルブロックだけでIGBTを構成することができるため、IGBTが正常に動作するようになる。従って、良品率が低下することを防止できる。

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、上記公報の方法では、半導体ウエハプロセスの途中で、複数のセルブロックについて良否の判定を行い、その後、良品のセルブロックだけを選択してゲートボンディングパッドに接続する多層配線構造を形成する半導体ウエハプロセスを実行しなければならないので、工程が非常に複雑になるという欠点があった。また、半導体ウエハプロセスの途中で、電気特性を計測してセルプロ

ックの良否の判定を行うことは、実際にはかなり困難である（上記公報にも、その具体的方法は全く開示されていない）と共に、製造設備が汚染されるため、上記公報の方法を実際に使用することは、ほとんど不可能であると考えられる。

## 【 0 0 0 7 】

これに対して、本出願人は、上記公報の方法の欠点を解消する構成を発明し、先に出願（特願平 1 1 - 2 8 8 2 5 0 号）している。この出願は、まだ未公開である。上記出願の構成では、複数のセルブロック毎に互いに独立するゲート電極をそれぞれ設け、これらゲート電極にそれぞれ接続される複数のゲートパッドを設けるように構成した。

## 【 0 0 0 8 】

この構成によれば、複数のゲートパッドを利用することにより、周知の検査装置を使用して、複数のセルブロックの良否の判定を容易に行うことができる。そして、この構成の場合、良品のセルブロックのゲートパッドだけを、外部のゲート端子に例えばワイヤボンディングにより接続している。このため、複数のセルブロックの中に不良品がある場合でも、良品のセルブロックだけで半導体装置（絶縁ゲート型パワー I C）を構成することができ、半導体装置が正常に動作するようになることから、良品率（歩留まり）が低下することを防止できる。

## 【 0 0 0 9 】

そして、上記構成の場合、半導体ウエハプロセスのプロセス数は従来構成と同じで済む。従って、半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる。

## 【 0 0 1 0 】

さて、上記出願の構成の例を、図 1 1 及び図 1 2 に示す。図 1 2 に示す例では、I G B T のチップ 1 0 1 の表面の上辺部に複数のゲートパッド 1 0 2 a ~ 1 0 2 f が設けられており、これらゲートパッド 1 0 2 a ~ 1 0 2 f は複数のセルブロック（図示しない）の各ゲート電極（図示しない）に接続されている。また、チップ 1 0 1 の表面には、複数のエミッタパッド 1 0 3 a ~ 1 0 3 f が設けられている。

## 【0011】

この構成の場合、複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッド102a、102c～102fを外部のゲート端子104にワイヤボンディングにより接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッド102bを外部のグランド端子105にワイヤボンディングにより接続している。尚、エミッタパッド103a～103fは、外部のエミッタ端子106にワイヤボンディングにより接続されている。

## 【0012】

しかし、上記構成の場合、チップ101の外部の電極（即ち、リードフレーム）として、グランド端子105をゲート端子104にほぼ平行に別途形成しなければならないので、リードフレームの加工が複雑になり、それだけ製造コストが高くなることがある。また、リードフレームが大きくなることから、パッケージサイズが大きくなるという不具合もある。更に、不良品のセルブロックのゲートパッド102bとグランド端子105とを接続するボンディングワイヤが長くなることから、このボンディングワイヤが他のボンディングワイヤと接触するおそれもある。

## 【0013】

一方、図12に示す例では、外部にグランド端子105を設けることを止めて、不良品のセルブロックのゲート電極に接続されたゲートパッド102bをエミッタパッド103bにワイヤボンディングにより接続するように構成している。この構成の場合、リードフレームにグランド端子105を設けなくても済むから、リードフレームの加工が簡単になり、それだけ製造コストが安くなる。また、パッケージサイズが大きくなることもなくなり、ボンディングワイヤが他のボンディングワイヤに接触することもない。

## 【0014】

しかし、図12の構成において、チップ101の表面から冷却するように構成しようとした場合、即ち、ヒートシンク用の平板状のエミッタ端子をチップ101の表面にエミッタパッド103a～103fに接続するように半田付けする構成の場合、不良品のセルブロックのゲートパッド102bをエミッタパッド10



bにワイヤボンディングしているので、上記平板状のエミッタ端子をチップ101の表面に半田付けできない。従って、図12のチップは、チップ101の表面から冷却する構造のデバイスに適用できないという不具合がある。

【0015】

即ち、上記した出願の構成（図11及び図12参照）の場合、上述したようないくつかの不具合が改善すべき課題となっている。

【0016】

そこで、本発明の目的は、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止でき、しかも、リードフレームの加工を簡単化し、パッケージサイズを小さくでき、ボンディングワイヤが他のボンディングワイヤと接触することを防止し、また、チップの表面から冷却する構造のデバイスにも適用できる絶縁ゲート型パワーICを提供することにある。

【0017】

【課題を解決するための手段】

請求項1の発明によれば、半導体基板の表面に複数のセルブロックを設け、これらセルブロックに互いに独立するゲート電極をそれぞれ設け、半導体基板に各ゲート電極にそれぞれ接続された複数のゲートパッドを設けるように構成したので、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止できる。そして、請求項1の発明の場合、半導体基板に前記ゲートパッドに隣接するようにエミッタ電位を有するパッドを複数設けたので、不良品のセルブロックのゲート電極に接続されたゲートパッドをエミッタ電位を有するパッドにワイヤボンディングにより接続することが可能となる。これにより、リードフレームにグランド端子を設けなくても済むから、リードフレームの加工が簡単になり、それだけ製造コストが安くなる。また、パッケージサイズが大きくなることもなくなり、ボンディングワイヤが他のボンディングワイヤに接触することもなくなる。更に、エミッタ電位を有するパッドは、ゲートパッドに隣接するように配置されているだけであるから、ヒートシンク用のエミッタ端子をチップの表面に半田付けすることが可能とな

る。従って、チップ1の表面から冷却する構造のデバイスにも適用することができる。

## 【0018】

請求項2の発明によれば、前記複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッドを前記エミッタ電位を有するパッドに接続したので、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止できる。

## 【0019】

請求項3の発明においては、前記複数のセルブロックのうちの揃ったしきい値電圧 $V_{th}$ を有するセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、不揃いのしきい値電圧 $V_{th}$ を有するセルブロックのゲート電極に接続されたゲートパッドを前記エミッタ電位を有するパッドに接続した。この構成によれば、絶縁ゲート型パワーIC内の各セルブロックのしきい値電圧 $V_{th}$ が揃うので、電流が各セルブロックに均一に流れるようになり、チップの破壊耐量の低下を防止できる。ちなみに、絶縁ゲート型パワーIC内の1つのセルブロックのしきい値電圧 $V_{th}$ が他のものよりも低いと、電流がその1つのセルブロックに集中して流れるようになるから、チップの破壊耐量が低下する。

## 【0020】

請求項4の発明においては、前記半導体基板の表面に設けられエミッタ電極に接続されたエミッタパッドを備え、前記半導体基板の裏面に設けられたコレクタ電極を備え、前記半導体基板の裏面に前記コレクタ電極に接続されるように半田付けされたヒートシンク用のコレクタ端子を備え、前記半導体基板の表面に前記エミッタパッドに接続されるように半田付けされたヒートシンク用のエミッタ端子を備え、そして、前記半導体基板、前記ゲート端子、前記コレクタ端子及び前記エミッタ端子をモールドする樹脂を備える構成とした。この構成は、ヒートシンク用のエミッタ端子及びコレクタ端子を介してチップの両面から冷却すること

が可能なデバイスである。

【0021】

また、請求項5の発明のように、前記半導体基板の表面に設けられエミッタ電極に接続されたエミッタパッドを備え、このエミッタパッドが接続された外部のエミッタ端子とを備え、前記ゲートパッドと前記ゲート端子との接続をワイヤボンディングにより実行し、前記ゲートパッドと前記エミッタ電位を有するパッドとの接続をワイヤボンディングにより実行し、前記エミッタパッドと前記エミッタ端子との接続をワイヤボンディングにより実行するように構成することが好ましい。

【0022】

【発明の実施の形態】

以下、本発明をIGBT（絶縁ゲート型バイポーラトランジスタ）に適用した第1の実施例について、図1ないし図8を参照しながら説明する。まず、図3は本実施例のIGBTのチップ1の縦断面構造を概略的に示す縦断面模式図である。この図3に示すように、本実施例のIGBTはトレンチゲート型IGBTである。このIGBTのチップ1は、半導体基板である例えばp+基板（p+シリコン基板）2を備えており、このp+基板2の上に、n+バッファ層3とn-ドリフト層4が順にエピタキシャル成長法を用いて形成されている。

【0023】

そして、n-ドリフト層4の上面には、pベース層5が形成されている。このpベース層5には、多数のトレンチ6が上記pベース層5を貫通してn-ドリフト層4に達するように形成されている。トレンチ6の内部には、ゲート絶縁膜7を介してゲート電極8が形成されている。ゲート絶縁膜7は例えば酸化シリコン膜或いはONO膜で形成されており、ゲート電極8は例えば多結晶シリコンで形成されている。

【0024】

更に、pベース層5の表面におけるトレンチ6の上部に接する部分には、高濃度のn+エミッタ層9が選択的に形成されている。そして、pベース層5の上面には、エミッタ電極10がpベース層5とn+エミッタ層9に接するように形成

されている。また、p+基板2の裏面（下面）には、コレクタ電極11が形成されている。

#### 【0025】

ここで、上記した構成のIGBTのチップ1、即ち、半導体基板2の表面は、複数（即ち、2個以上）のIGBT領域であるセルブロック12（12a、12b、12c、……）に分割されるように構成されている（図2も参照）。即ち、IGBT1のチップの表面には、複数のセルブロック12（12a、12b、12c、……）が設けられている。尚、セルブロック12の個数については、IGBT1のチップのサイズによって好ましい個数が変化するが、本実施例の場合、図1に示すように、例えば6個設けるように構成したが、これに限られるものではなく、10～20個程度設けることも好ましい。

#### 【0026】

そして、各セルブロック12（12a、12b、12c、……）に設けられているゲート電極8は、セルブロック毎に互いに独立する（即ち、電氣的に分離される）ように構成されている。ここで、隣接する2つのセルブロック12、12の境界部分の縦断面模式図を、図4に示す。この図4に示すように、2つのセルブロック12、12の境界部分には、分離用の酸化膜（SiO<sub>2</sub>膜）13が形成されており、この酸化膜13の上に、電氣的に分離されたゲート電極8a、8bが形成されている。ゲート電極8a、8b、8の上には、層間絶縁膜（SiO<sub>2</sub>膜）14が形成されている。そして、左側のゲート電極8aは左側のセルブロック12内の全てのゲート電極8に接続され、右側のゲート電極8bは右側のセルブロック12内の全てのゲート電極8に接続されている。

#### 【0027】

尚、1個のセルブロック12に設けられているMOSFETセルの個数（即ち、ゲート電極8またはトレンチ6の個数）は、セルピッチ及びセルエリアのサイズ（セルブロックのサイズ）により変化するが、例えば数百～数千個程度である。これは、通常、セルピッチが数μm程度であり、セルエリアのサイズが数mm角程度であるためである。そして、1個のセルブロック12内のゲート電極8は、図3に示すように、配線層15により全て互いに接続されている。また、1個

のセルブロック 1 2 内のエミッタ電極 1 0 も、図 3 に示すように、配線層 1 6 により全て互いに接続されている。

## 【 0 0 2 8 】

さて、図 2 は、上記 I G B T のチップ 1 の平面構造を概略的に示す平面模式図である。この図 2 に示すように、I G B T のチップ 1 は、ほぼ矩形平板状に構成されており、その表面における複数個のセルブロック 1 2 ( 1 2 a、1 2 b、1 2 c、……) に対応する部位には、セルブロック 1 2 とほぼ同じ形状（または少し小さい形状）の複数個のエミッタパッド 1 7 ( 1 7 a、1 7 b、1 7 c、……) が設けられている。

## 【 0 0 2 9 】

また、I G B T 1 のチップの表面における一辺部である図 2 中の上辺部には、ほぼ正形状の複数のゲートパッド 1 8 ( 1 8 a、1 8 b、1 8 c、……) が、上記エミッタパッド 1 7 ( 1 7 a、1 7 b、1 7 c、……) に対応するように並んで設けられている。

## 【 0 0 3 0 】

更に、I G B T 1 のチップの表面における上記ゲートパッド 1 8 ( 1 8 a、1 8 b、1 8 c、……) の間の部位には、ほぼ正形状の複数のパッド 1 9 ( 1 9 a、1 9 b、1 9 c、……) が例えば 1 個おきに設けられている。これらパッド 1 9 ( 1 9 a、1 9 b、1 9 c、……) は、配線 2 0 により上記エミッタパッド 1 7 ( 1 7 a、1 7 b、1 7 c、……) に接続されており、エミッタ電位を有している。この構成の場合、エミッタ電位を有するパッド 1 9 ( 1 9 a、1 9 b、1 9 c、……) は、チップ 1 の表面にゲートパッド 1 8 ( 1 8 a、1 8 b、1 8 c、……) に隣接するように設けられている。

## 【 0 0 3 1 】

また、上記各エミッタパッド 1 7 ( 1 7 a、1 7 b、1 7 c、……) は、図 3 において 2 点鎖線で示すように、各セルブロック 1 2 内の多数のエミッタ電極 1 0 に接続されるように形成されており、前記配線層 1 6 としての機能も有するものである。各エミッタパッド 1 7 は、チップ 1 の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ 1 の外部に設けられたエミッタ端子 2

1（図1、図5及び図6参照）に例えば半田付けにより接続されている。

【0032】

上記エミッタ端子21は、外部電極（例えばリードフレーム）であり、図6に示すように、全体としてほぼL字形をなす導体板から構成されている。この場合、エミッタ端子21は、矩形状部分21aと、矩形状の延出部21bとを有している。本実施例の場合、上記エミッタ端子21は、ヒートシンク（即ち、放熱板）としての機能も有している。即ち、上記エミッタ端子21は、ヒートシンク用のエミッタ端子であり、チップ1をその表面から冷却するものである。

【0033】

また、上記各ゲートパッド18（18a、18b、18c、……）は、前記配線層15を介して各セルブロック12内の多数のゲート電極8に接続されている。この場合、上記配線層15は、横向きに引き出され、エミッタパッド17の図2において上下方向の辺部（即ち、2個のエミッタパッド17の間の部位）に沿うように配置され、各ゲートパッド18に接続されている。

【0034】

各ゲートパッド18は、IBGTのチップ1の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ1の外部に設けられたゲート端子22（図1参照）に例えばワイヤボンディングにより接続されている。ここで、ゲート端子22に接続するゲートパッド18は、良品のセルブロック12のゲート電極8に接続されているゲートパッド18（例えばゲートパッド18a、18c～18f）である。これにより、良品のセルブロック12のゲート電極8（ゲートパッド18a、18c～18f）とゲート端子22との間は、ボンディングワイヤ23によって接続される構成となる。これにより、外部からゲート制御用の信号がゲート端子22に与えられると、その信号は良品のセルブロック12のゲート電極8に与えられ、良品のセルブロック12内の素子が動作するようになっている。

【0035】

これに対して、不良品のセルブロック12のゲート電極8に接続されているゲートパッド18（例えばゲートパッド18b）は、図1に示すように、チップ1

上のエミッタ電位を有するパッド19aに例えばワイヤボンディングにより接続されている。これにより、不良品のゲートパッド18(18b)とパッド19aとの間は、ボンディングワイヤ23によって接続される構成となる。この結果、不良品のセルブロック12のゲート電極8(ゲートパッド18b)は、エミッタ電位(即ち、GND電位)に固定される構成となる。

## 【0036】

これにより、不良品のセルブロック12のゲート電極8には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック12内の素子が動作することはない。尚、上記ゲート端子22は、外部電極であり、例えばリードフレーム(その一部分)で構成されている。

## 【0037】

また、チップ1の裏面のほぼ全面に設けられたコレクタ電極11は、チップ1の外部と電氣的な導通をとるためのパッドとしての機能も有しており、本実施例の場合、チップ1の外部に設けられたコレクタ端子24(図5及び図6参照)に例えば半田付けにより接続されている。上記コレクタ端子24は、外部電極(例えばリードフレーム)であり、図6に示すように、全体としてほぼL字形をなす導体板から構成されている。この場合、コレクタ端子24は、矩形状部分24aと、矩形状の延出部24bとを有している(図5及び図6参照)。

## 【0038】

そして、上記コレクタ端子24は、ヒートシンク(即ち、放熱板)としての機能も有している。即ち、コレクタ端子24は、ヒートシンク用のコレクタ端子であり、チップ1をその裏面から冷却するものである。従って、本実施例の場合、チップ1は、その両面からエミッタ端子21及びコレクタ端子24を介して冷却(放熱)される構成となっている。

## 【0039】

尚、チップ1には、温度センサや電流センサ(いずれも図示しない)等が内蔵されており、これらに接続された複数の制御用パッド(図示しない)が、チップ1の表面に設けられている。上記各制御用パッドは、チップ1の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ1の外部に設けられた制

御端子 25～28（図 1 参照）に例えばワイヤボンディングにより接続されている。上記制御端子 25～28 は、外部電極であり、例えばリードフレーム（その一部分）で構成されている。

## 【 0 0 4 0 】

そして、上述したように、チップ 1 に各外部端子（リードフレーム）を半田付けすると共に、ワイヤボンディングした後は、図 5 及び図 6 に示すように、チップ 1 及び各外部端子（リードフレーム）を樹脂 29 でモールドする。これにより、樹脂モールドされた 1 個の IGBT 30 が製造される。上記 IGBT 30 の場合、エミッタ端子 21 及びコレクタ端子 24 の矩形状の各延出部 21b、24b が、樹脂 29 のモールド体 31 の図 6 中の上端面部から上方へ突出して対向している。

## 【 0 0 4 1 】

また、IGBT 30 のモールド体 31 の図 6 中の右側面には、エミッタ端子 21 の矩形状部分 21a が露出している。同様にして、IGBT 30 のモールド体 31 の図 6 中の左側面には、コレクタ端子 24 の矩形状部分 24a（図 5 参照）が露出している。尚、上記 IGBT 30 のモールド体 31 の内部には、フリーホイールダイオードのチップ（図示しない）が埋設されている。上記フリーホイールダイオードのチップのアノードパッド（電極）はエミッタ端子 21 に例えば半田付けされ、カソードパッド（電極）はコレクタ端子 24 に例えば半田付けされている。

## 【 0 0 4 2 】

さて、本実施例では、図 7 及び図 8 に示すように、上記 IGBT 30 を 6 個使用して 6 in 1 タイプの IGBT モジュール 32 を製造した。尚、上記 IGBT 30 と外観形状がほぼ同じ構成の IGBT を 6 個使用して、6 in 1 タイプの IGBT モジュール（これは、本実施例の IGBT モジュール 32 とほぼ同じ構成の IGBT モジュールである）を製造した実施例を、本出願人は先に出願している（特願平 11-134809 号）。従って、ここでは、上記 IGBT モジュール 32 について簡単に説明し、詳細な説明は省略する。

## 【 0 0 4 3 】



図7及び図8に示すように、上記IGBTモジュール32は、冷却ブロック33と、この冷却ブロック33の素子収容部33a内に収容されたIGBT30と、このIGBT30を冷却ブロック33に圧接する放熱ブロック34、35とから構成されている。尚、図7及び図8においては、2個のIGBT30だけを示し、残りの4個のIGBT30については図示することを省略した。これら残りの4個のIGBT30を冷却ブロック33に取り付ける構成は、上記図示する2個のIGBT30を冷却ブロック33に取り付ける構成と同じである。

## 【0044】

上記構成の場合、各IGBT30は、2枚の絶縁基板36、37で挟まれている。これら絶縁基板36、37は、高熱伝導性基板であり、例えば窒化アルミニウム等から構成されている。この場合、2枚の絶縁基板36、37は、IGBT30のエミッタ端子21及びコレクタ端子24に例えば融着或いは半田付けされている。尚、IGBT30のゲート端子22も、図示はしないが、上記絶縁基板36、37の一方に例えば融着或いは半田付けされており、外部の端子に接続可能な構成となっている。

## 【0045】

そして、上記絶縁基板36、37で挟まれたIGBT30は、冷却ブロック33の素子収容部33aの内側面に当接されるように収容され、更に、放熱ブロック34、35によって押さえ付けられ、素子収容部33aの内側面に圧接されている。この場合、放熱ブロック35をねじ38により冷却ブロック33に締め付け固定することにより、上記圧接状態が保持されるように構成されている。

## 【0046】

また、放熱ブロック34、35は、例えばアルミニウム等の熱伝導性の良い材料で形成されている。放熱ブロック34の断面形状は、長方形の一部に斜辺部34aを有する形状である。放熱ブロック35の断面形状は、ほぼ台形状であり、斜辺部35a、35aを有している。放熱ブロック35には、ねじ38を挿通させる貫通孔が形成されている。

## 【0047】

この構成の場合、ねじ38を締め付けることにより、放熱ブロック35を図8

中下方へ移動させると、放熱ブロック 35 の斜辺部 35 a が 2 個の放熱ブロック 34 の斜辺部 34 a に当たって押すことにより、2 個の放熱ブロック 34 が図 8 中左右方向へ押される。これにより、2 個の IGBT 30 が冷却ブロック 33 の素子収容部 33 a の内側面に押し付けられて圧接される構成となっている。

## 【0048】

また、冷却ブロック 33 は、例えばアルミニウム等の熱伝導性の良い材料で形成されている。この冷却ブロック 33 には、2 個の IGBT 30 を収容する素子収容部 33 a が 3 個設けられており、計 6 個の IGBT 30 を収容固定することが可能になっている。そして、上記冷却ブロック 33 の内部には、図 8 に示すように、例えば水等の冷媒 W を流通させる冷媒流路 39 が形成されている。この場合、外部から冷媒 W を冷媒流路 39 内に供給すると共に、冷媒流路 39 内を流れた冷媒 W を外部へ取り出すことが可能なように構成されている。これにより、冷却ブロック 33 ひいては IGBT 30 を十分に冷却できる構成となっている。

## 【0049】

次に、上記した構成の IGBT 30 のチップ 1 を製造する工程について簡単に説明する。まず、ウエハに対して周知の半導体ウエハプロセスを実行することにより、デバイスを形成する工程を行う。この工程の実行により、ウエハの上に図 2 ～図 4 に示すような構成の IGBT のチップ 1 が多数形成される。

## 【0050】

上記デバイス形成工程を行った後は、ウエハ上の各チップ 1 を検査する工程を実行する。この場合、まず、周知のテストエレメントグループウエハアクセプタンステスト (TEGWAT) を実行する。続いて、周知のウエハアクセプタンステスト (WAT) を実行する。そして、この WAT の実行時に、各チップ 1 について、複数のセルブロック 12 の各良否の判定を行うように構成されている。上記各セルブロック 12 の良否の判定は、ゲート・エミッタ間の耐圧を測定する周知の検査装置を使用して行う。

## 【0051】

具体的には、IGBT のチップ 1 に各セルブロック 12 に対応するエミッタパッド 17 及びゲートパッド 18 が形成されているので、上記検査装置の検査用針

を1番目のセルブロック12aのエミッタパッド17a及びゲートパッド18aに立てて（接続して）、ゲート電極8とエミッタ電極10との間の耐圧を測定する。このとき、例えば20V以上の耐圧があれば、そのセルブロック12aは良品であると判定し、そうでなければ（20V未満の耐圧であれば）、そのセルブロック12aは不良品であると判定するようになっている。続いて、2番目以降のセルブロック12bについても、同様にして、ゲート電極8とエミッタ電極10との間の耐圧を順に測定していくように構成されている。

## 【0052】

そして、全てのセルブロック12について、ゲート電極8とエミッタ電極10間の耐圧を測定して、良否の判定を完了したら、その良否の判定データを記憶し、次のチップ1についても、同様にして、各セルブロック12の良否の判定を行い、その良否の判定データを記憶する。以下、ウエハ上の全てのチップ1について、同様にして、各セルブロック12の良否の判定を行い、その良否の判定データを記憶する。

## 【0053】

上記WATを実行した後は、ウエハを切断するダイシング工程を実行する。この後、上記切断されたチップ1を外部の電極（リードフレーム等）に接続する工程を実行する。

## 【0054】

この場合、まず、チップ1のエミッタパッド17にヒートシンク用のエミッタ端子21を半田付けすると共に、チップ1のコレクタ電極11にヒートシンク用のコレクタ端子24を半田付けする。この後、上述した良否の検査結果に基づいて、良品のセルブロック12のゲート電極8に接続されているゲートパッド18（18a、18c～18f）を、チップ1の外部のリードフレームのゲート端子22にワイヤボンディングにより接続する。これと共に、上記した良否の検査結果に基づいて、不良品のセルブロック12のゲート電極8に接続されているゲートパッド18（18b）を、チップ1上のエミッタ電位を有するパッド19aにワイヤボンディングにより接続する。

## 【0055】

そして、半田付け及びワイヤボンディングが完了した後は、図5及び図6に示すように、チップ1及び各外部端子（リードフレーム）を樹脂29でモールドする工程を実行する。これにより、樹脂29でモールドされたIGBT30が製造される。

## 【0056】

次に、本実施例では、図7及び図8に示すように、上記IGBT30を6個使用して6in1タイプのIGBTモジュール32を製造する。まず、各IGBT30を2枚の絶縁基板36、37で挟む。この場合、2枚の絶縁基板36、37をIGBT30の両面に融着或いは半田付けにより取り付ける。続いて、上記絶縁基板36、37で挟まれたIGBT30を、冷却ブロック33の素子収容部33aの内側面に当接させるように収容し、更に、放熱ブロック34、35によって押さえ付ける。この場合、ねじ38により放熱ブロック35を冷却ブロック33に締め付け固定することにより、IGBT30を冷却ブロック33の素子収容部33aの内側面に圧接し、その圧接状態を保持する。これにより、IGBTモジュール32の組み付けが完了する。

## 【0057】

このような構成の本実施例によれば、1個のIGBTのチップ1（半導体基板）の表面に複数のセルブロック12を設け、これらセルブロック12に互いに独立する複数のゲート電極8をそれぞれ設け、そして、IGBTのチップ1に各ゲート電極8にそれぞれ接続されたボンディング用の複数のゲートパッド18を設けた。これによって、複数のゲートパッド18を利用することにより、周知の検査装置を使用して、複数のセルブロック12の各良否の判定を容易に行うことができる。

## 【0058】

そして、上記構成の場合、良品のセルブロック12のゲートパッド18だけを、外部のゲート端子22に接続することが可能になる。このため、複数個のセルブロック12の中に不良品がある場合でも、良品のセルブロック12だけでIGBT（絶縁ゲート型パワーIC）を構成することができ、IGBTが正常に動作するようになる。これにより、IGBTのチップサイズを大形化した場合でも、

良品率が低下することを防止できる。

【 0 0 5 9 】

しかも、上記構成の場合、多層配線構成とする必要がないため、半導体ウエハプロセスの工程数は、通常の I G B T の構成と同じで済む。というのは、ゲートパッド 1 8 をセルブロック 1 2 毎に設けることは、フォトマスクのパターン設計の変更で容易に実現することができるためである。従って、I G B T のチップサイズを大形化した場合でも、良品率が低下することを防止でき（即ち、歩留りを高くすることができ）、しかも、特開平 8 - 1 9 1 1 4 5 号公報に提案された構成とは異なり、半導体ウエハプロセスが複雑になることを防止できる。

【 0 0 6 0 】

また、上記実施例では、チップ 1 の表面にゲートパッド 1 8 に隣接するようにエミッタ電位を有するパッド 1 9 を複数設けたので、不良品のセルブロック 1 2 のゲート電極 8 に接続されたゲートパッド 1 8 をエミッタ電位を有するパッド 1 9 にワイヤボンディングにより接続することが可能となる。これにより、リードフレームにグランド端子を設けなくても済むから、リードフレームの加工が簡単になり、それだけ製造コストが安くなる。また、パッケージサイズが大きくなることを防止できると共に、ボンディングワイヤが他のボンディングワイヤに接触することも防止できる。

【 0 0 6 1 】

更に、上記実施例では、エミッタ電位を有するパッド 1 9 を、ゲートパッド 1 8 に隣接するように配置したので、不良品のセルブロック 1 2 のゲートパッド 1 8 をエミッタ電位を有するパッド 1 9 にワイヤボンディングする構成としても、ヒートシンク用のエミッタ端子 2 1 をチップ 1 の表面に半田付けすることが可能となる。従って、本実施例の I G B T 3 0 のチップ 1 を、チップの表面から冷却する構造のデバイスにも適用することができる。

【 0 0 6 2 】

そして、上記実施例では、チップ 1 の表面のエミッタパッド 1 7 にヒートシンク用のエミッタ端子 2 1 を半田付けすると共に、チップ 1 の裏面のコレクタ電極 1 1 にヒートシンク用のコレクタ端子 2 4 を半田付けする構成としたので、ヒ-

トシンク用のエミッタ端子 2 1 及びコレクタ端子 2 4 を介してチップ 1 の両面からスムーズに冷却することが可能となる。

## 【 0 0 6 3 】

図 9 は、本発明の第 2 の実施例を示すものである。尚、第 1 の実施例と同一部分には、同一符号を付している。上記第 2 の実施例では、エミッタ電位を有するパッド 1 9 をエミッタパッド 1 7 に接続するに当たって、複数のエミッタ電位を有するパッド 1 9 a ~ 1 9 c を配線 4 0 により互いに接続し、上記複数のエミッタ電位を有するパッド 1 9 a ~ 1 9 c のうちの図 9 中左端のパッド 1 9 a を、配線 4 1 により左端のエミッタパッド 1 7 a に接続するように構成した。

## 【 0 0 6 4 】

上述した以外の第 2 の実施例の構成は、第 1 の実施例の構成と同じ構成となっている。従って、第 2 の実施例においても、第 1 の実施例とほぼ同じ作用効果を得ることができる。

## 【 0 0 6 5 】

図 1 0 は、本発明の第 3 の実施例を示すものである。この第 3 の実施例では、複数のセルブロック 1 2 のうちの、揃ったしきい値電圧  $V_{th}$  を有するセルブロック 1 2 のゲート電極に接続されたゲートパッド 1 8 を外部のゲート端子 2 2 に接続すると共に、不揃いのしきい値電圧  $V_{th}$  を有するセルブロック 1 2 のゲート電極に接続されたゲートパッド 1 8 をエミッタ電位を有するパッド 1 9 に接続するように構成した。

## 【 0 0 6 6 】

具体的には、IGBT のチップ 1 の半導体ウエハプロセスが完了した後、ウエハ上の各チップ 1 を電氣的に検査する工程において、各チップ 1 内の複数のセルブロック 1 2 毎のしきい値電圧  $V_{th}$  をすべて測定する。尚、半導体ウエハプロセスが完了した状態のチップ 1 の構成は、第 1 の実施例または第 2 の実施例のチップ 1 の構成と同じ構成で良い。

## 【 0 0 6 7 】

そして、セルブロック 1 2 毎のしきい値電圧  $V_{th}$  を測定するに当たっては、例えば、図 9 中左端のセルブロック 1 2 a のしきい値電圧  $V_{th}$  を測定する場合

、ゲートパッド18b～18fをエミッタ電位に固定し、ゲートパッド18aだけにゲートバイアスを印加して測定する。以下、同様にして、各セルブロック12毎のしきい値電圧 $V_{th}$ を測定していけば良い。

## 【0068】

ここで、例えばセルブロック12bのしきい値電圧 $V_{th}$ が他のものよりも低かったとする、即ち、セルブロック12b内に局所的にしきい値電圧 $V_{th}$ が低いセル領域が存在したとする。すると、セルブロック12b以外のセルブロック12のしきい値電圧 $V_{th}$ の測定結果は、図10(a)に示す通りとなり、セルブロック12bのしきい値電圧 $V_{th}$ の測定結果は、図10(b)に示す通りとなる。

## 【0069】

上記図10(a)、(b)において、横軸はゲートバイアス(電圧) $V_g$ であり、縦軸はコレクタ電流 $I_c$ の対数値である。この場合、図10(b)の方が、図10(a)よりもしきい値電圧 $V_{th}$ が低いことがわかる。

## 【0070】

さて、上記チップ1内の全て(6個)のセルブロック12(即ち、しきい値電圧 $V_{th}$ が低いセルブロック12bを含めて)を動作させたとなると、大電流のスイッチング時に、電流がしきい値電圧 $V_{th}$ が低いセルブロック12bに集中してしまい、チップ1の破壊耐量が低下するという不具合が発生する。

## 【0071】

そこで、第3の実施例においては、しきい値電圧 $V_{th}$ が低いセルブロック12bが動作しないように結線する構成とした。即ち、しきい値電圧 $V_{th}$ が揃ったセルブロック12のゲート電極8に接続されているゲートパッド18(18a、18c～18f)を、チップ1の外部のリードフレームのゲート端子22に例えばワイヤボンディングにより接続する。これと共に、しきい値電圧 $V_{th}$ が低い(不揃いの)セルブロック12bのゲート電極8に接続されているゲートパッド18(18b)を、チップ1上のエミッタ電位を有するパッド19aに例えばワイヤボンディングにより接続する。

## 【0072】

このように結線すると、しきい値電圧  $V_{th}$  が低いセルブロック 12b が動作しなくなり、このセルブロック 12b 内の局所的にしきい値電圧  $V_{th}$  が低いセル領域がオフ状態に保持される。このため、大電流のスイッチング時に、電流がしきい値電圧  $V_{th}$  が低いセルブロック 12b に集中することがなくなり、チップ 1 の破壊耐量が低下することを防止できる。

## 【0073】

尚、上述した以外の第 3 の実施例の構成は、第 1 の実施例または第 2 の実施例の構成と同じ構成となっている。従って、第 3 の実施例においても、第 1 の実施例または第 2 の実施例とほぼ同じ作用効果を得ることができる。

## 【0074】

また、第 3 の実施例と、第 1 の実施例または第 2 の実施例とを組み合わせるように構成しても良い。即ち、複数のセルブロック 12 のうちの、良品のセルブロック 12 のゲート電極に接続されたゲートパッド 18 と、揃ったしきい値電圧  $V_{th}$  を有するセルブロック 12 のゲート電極に接続されたゲートパッド 18 とを外部のゲート端子 22 に接続すると共に、不良品のセルブロック 12 のゲート電極に接続されたゲートパッド 18 と、不揃いのしきい値電圧  $V_{th}$  を有するセルブロック 12 のゲート電極に接続されたゲートパッド 18 とをエミッタ電位を有するパッド 19 に接続するように構成しても良い。

## 【0075】

尚、上記各実施例では、チップ 1 の表面において、エミッタ電位を有するパッド 19a ~ 19c をゲートパッド 18a ~ 18f の各間に 1 つおきに位置するように設けたが、これに限られるものではなく、ゲートパッド 18a ~ 18f の各間にそれぞれ配設したり、ゲートパッド 18a ~ 18f の各周囲の適当な部位に配設したりするように構成しても良い。また、エミッタ電位を有するパッド 19 の大きさや形状も適宜変形することができる。

## 【0076】

更に、上記各実施例では、チップ 1 のエミッタパッド 17 にヒートシンク用のエミッタ端子 21 を半田付けする構成としたが、これに代えて、エミッタパッド 17 を通常のリードフレームからなるエミッタ端子にワイヤボンディングするよ



うに構成しても良い。

【0077】

また、上記各実施例では、IGBT30を6個使用して6in1タイプのIGBTモジュール32を製造したが、これに限られるものではなく、2in1タイプIGBTモジュール、7in1タイプIGBTモジュール、IGBTディスクリットパッケージ等を製造するように構成しても良い。

【0078】

更にまた、上記各実施例では、複数のゲートパッド18をIGBTのチップ1の表面の一辺部に並べて配置するように構成したが、これに限られるものではなく、複数のゲートパッド18の配置位置は、ゲートパッド18を外部のゲート端子22に接続する接続形態に対応するように設計すれば良い。また、上記各実施例では、nチャネルタイプのIGBTに適用した例を示したが、勿論、pチャネルタイプのものに適用しても良い。

【0079】

また、上記各実施例においては、本発明をIGBTに適用したが、これに限られるものではなく、半導体基板の表面に電流制御用のゲート電極を備えた絶縁ゲート型パワーIC、例えばMOSFETやMOS型の電界効果素子に適用しても良い。

【図面の簡単な説明】

【図1】

本発明の第1の実施例を示すものであり、IGBTのチップとリードフレームのゲート端子とをワイヤボンディングした状態を示す平面図

【図2】

IGBTのチップの部分平面図

【図3】

IGBTのチップの縦断面模式図

【図4】

IGBTのチップのセルブロックの境界部分の縦断面模式図

【図5】

I G B T のチップを樹脂モールドした状態の断面図

【図 6】

I G B T のチップを樹脂モールドした状態の斜視図

【図 7】

I G B T モジュールの部分斜視図

【図 8】

I G B T モジュールの部分縦断面図

【図 9】

本発明の第 2 の実施例を示す図 1 相当図

【図 1 0】

本発明の第 3 の実施例を示すものであり、セルブロックのゲートバイアス  $V_g$  とコレクタ電流  $I_c$  との関係を示す図である。

【図 1 1】

従来構成を示す図 1 相当図

【図 1 2】

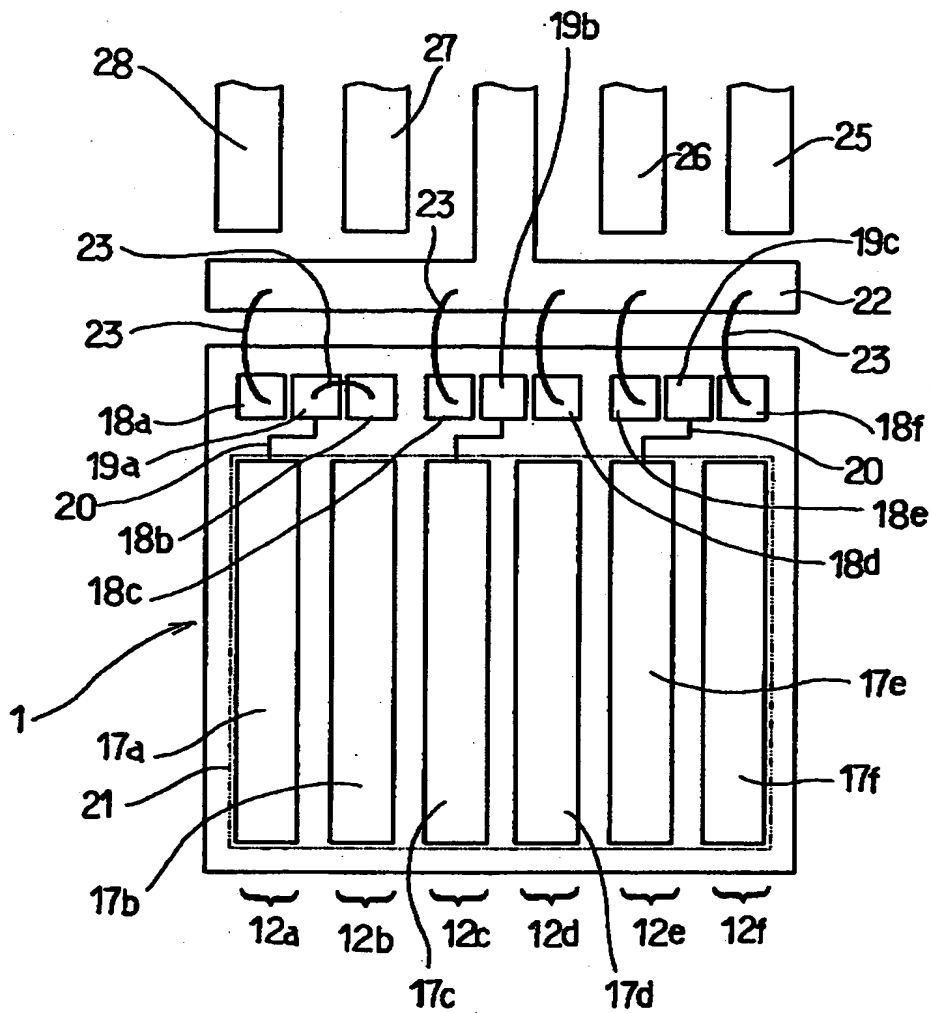
異なる従来構成を示す図 1 相当図

【符号の説明】

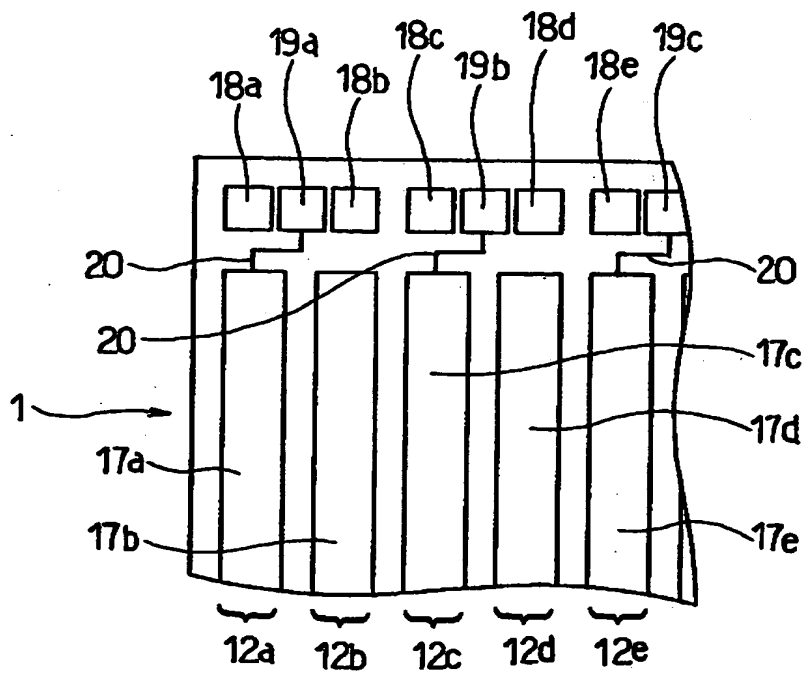
1 はチップ、2 は p + 基板（半導体基板）、6 はトレンチ、7 はゲート絶縁膜、8 はゲート電極、9 は n + エミッタ層、1 0 はエミッタ電極、1 1 はコレクタ電極、1 2 はセルブロック、1 3 は酸化膜、1 4 は層間絶縁膜、1 7 はエミッタパッド、1 8 はゲートパッド、1 9 はエミッタ電位を有するパッド、2 0 は配線、2 1 はエミッタ端子、2 2 はゲート端子、2 3 はボンディングワイヤ、2 4 はコレクタ端子、2 5、2 6、2 7、2 8 は制御端子、2 9 は樹脂、3 0 は I G B T、3 1 はモールド体、3 2 は I G B T モジュール、3 3 は冷却ブロック、3 4 は放熱ブロック、3 5 は放熱ブロック、3 6、3 7 は絶縁基板を示す。

【書類名】 図面

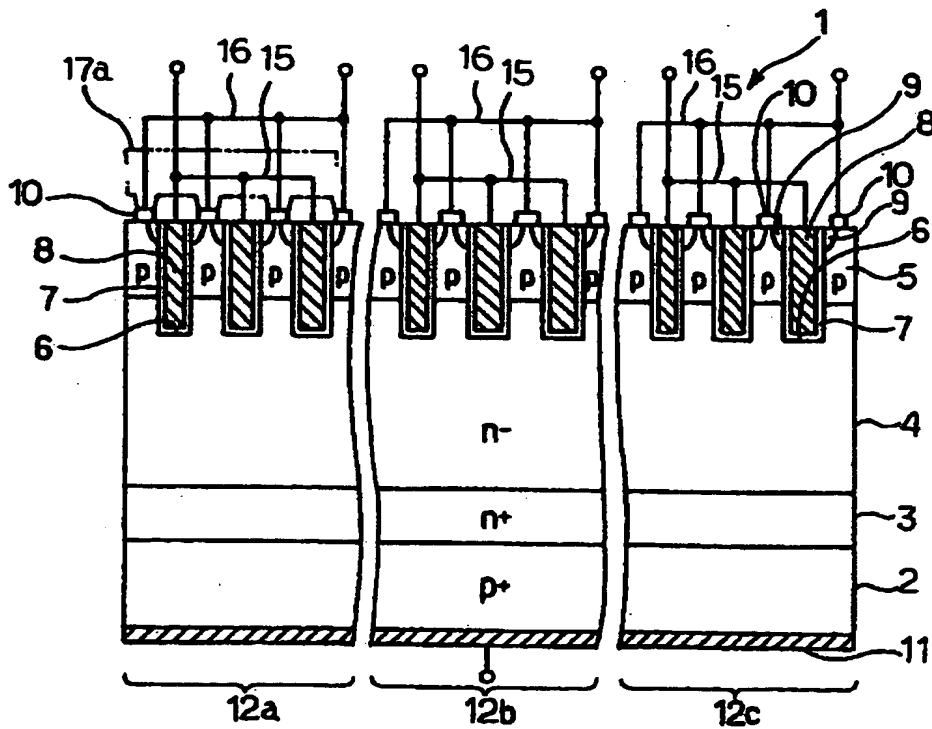
【図 1】



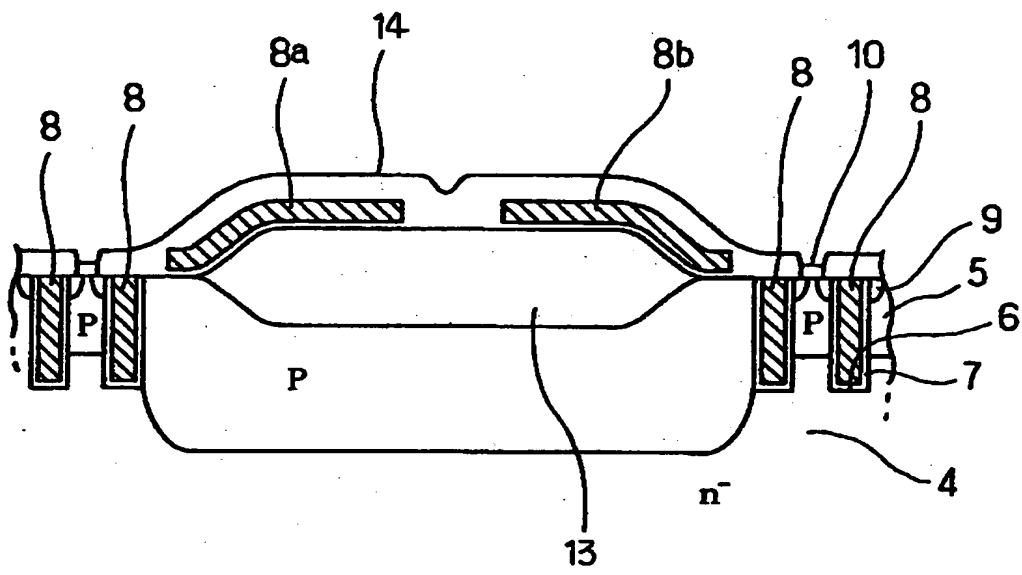
【図 2】



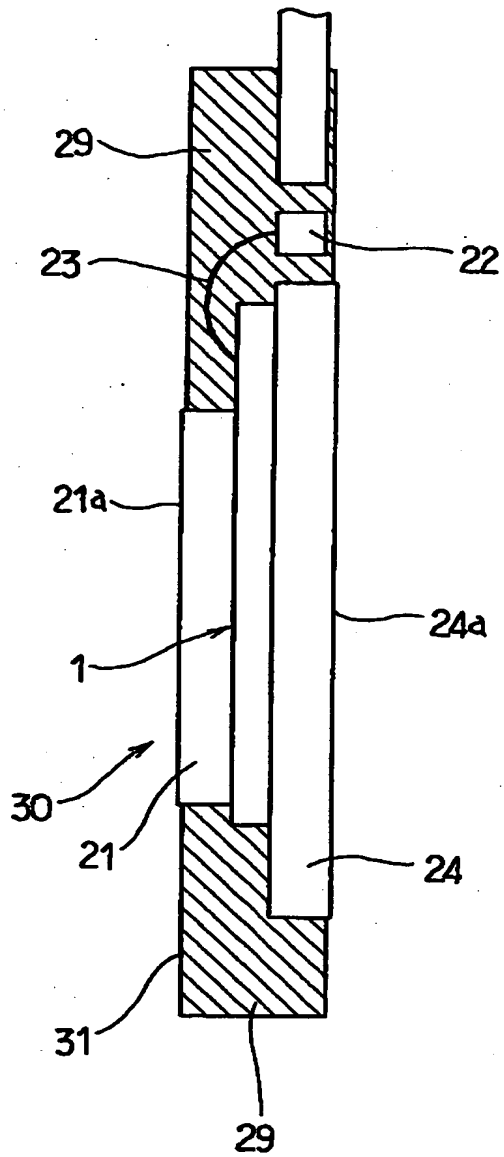
【図 3】



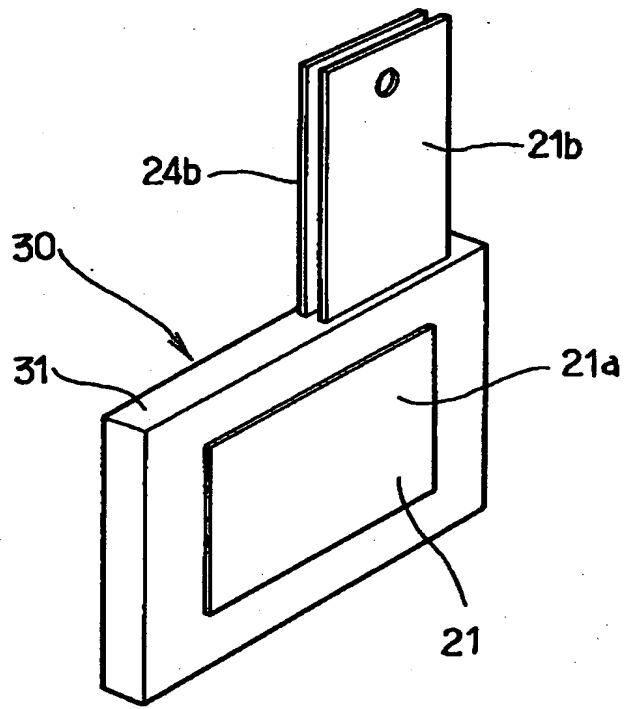
【図4】



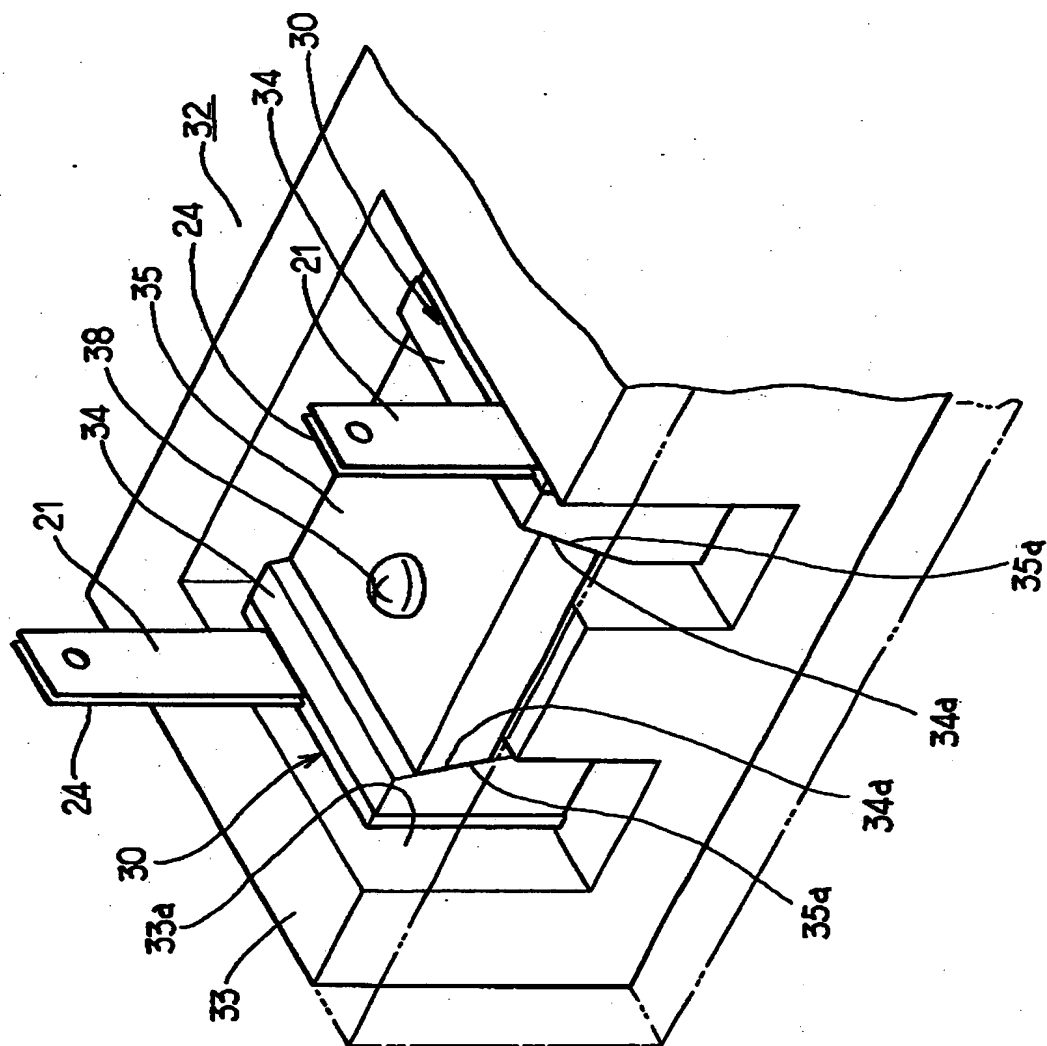
【図 5】



【図 6】

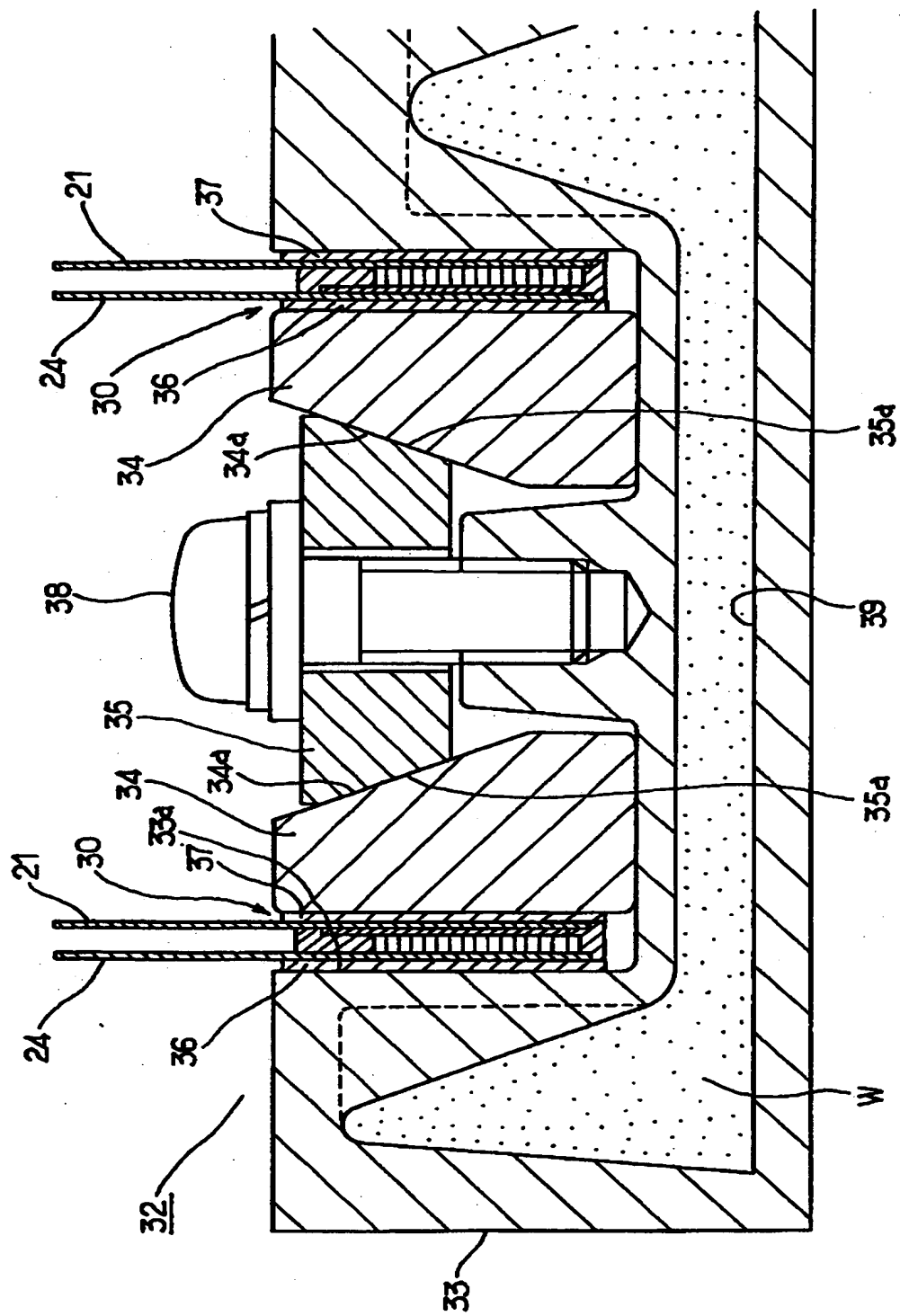


【図 7】

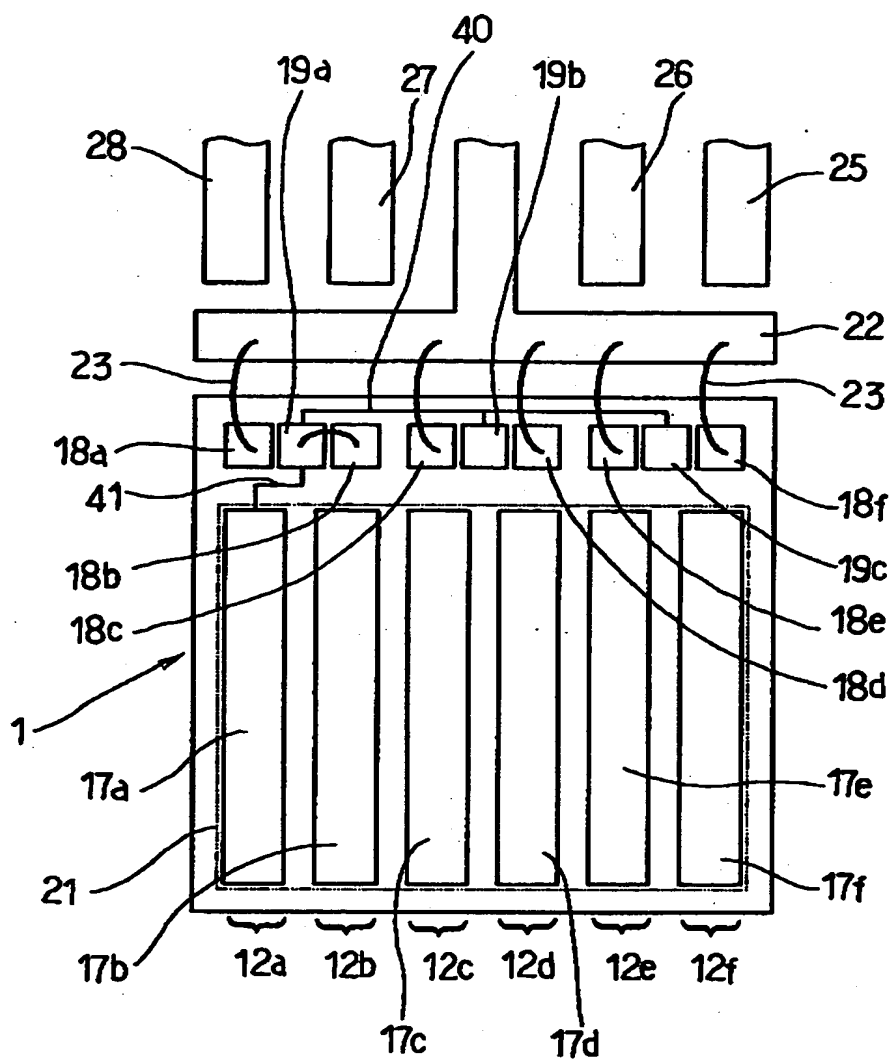




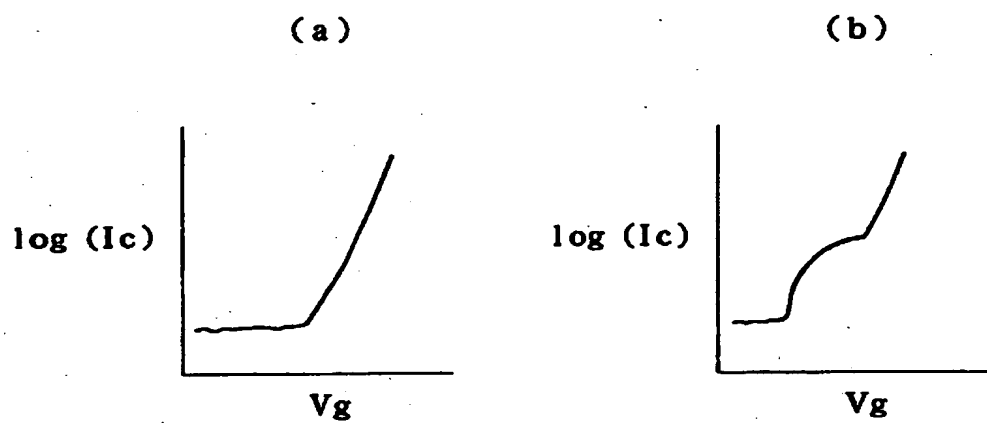
【図 8】



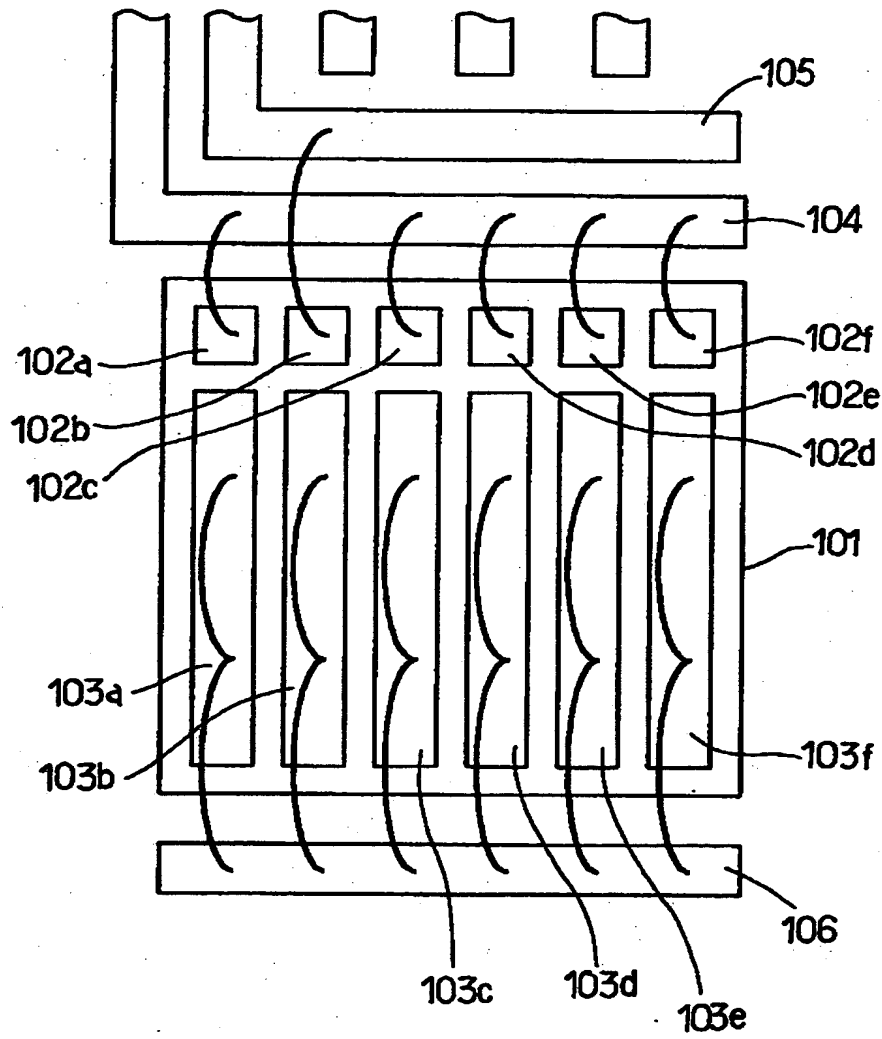
【图9】



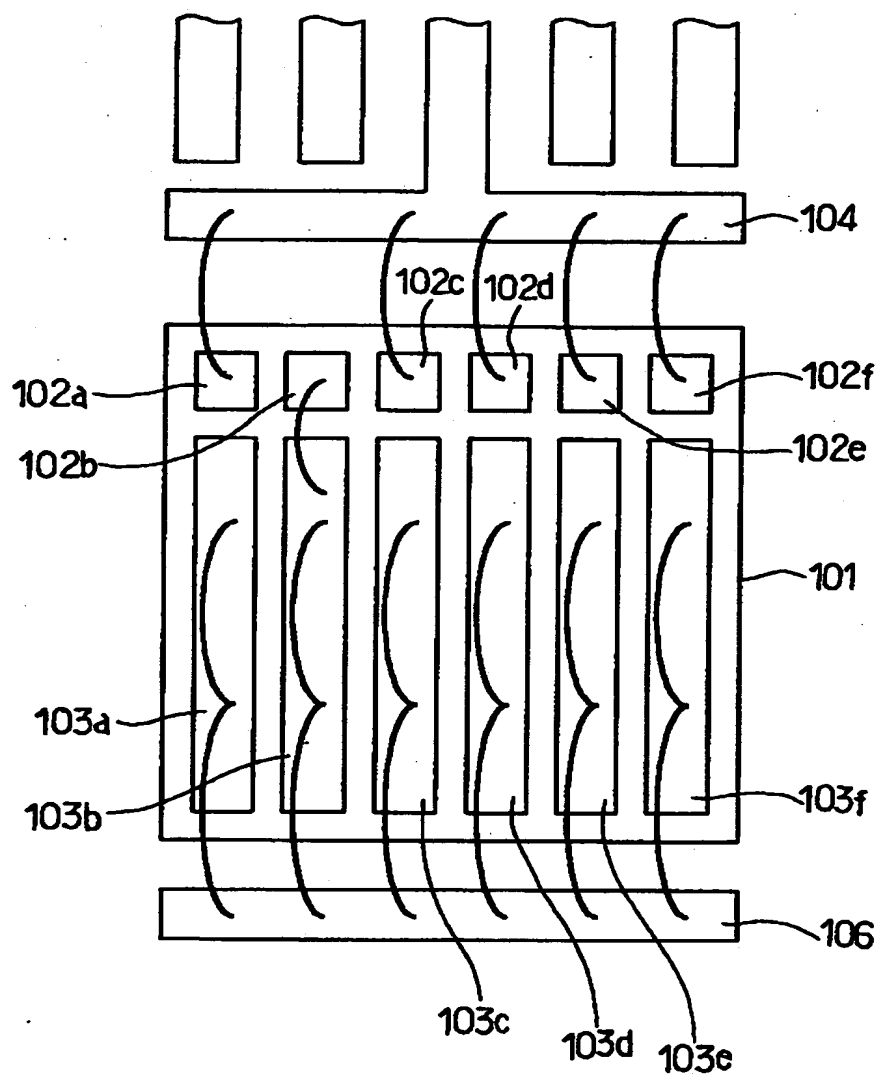
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 チップサイズを大形化した場合でも、良品率の低下を防止し、リードフレームの加工を簡単化し、パッケージサイズを小さくし、また、チップの表面から冷却する構造のデバイスにも適用可能とする。

【解決手段】 本発明の絶縁ゲート型パワーＩＣは、チップ１の表面に設けられた複数のセルフブロック１２を備え、これらセルフブロック１２にそれぞれ設けられ互いに独立する複数のゲート電極を備え、チップ１に設けられ各ゲート電極にそれぞれ接続された複数のゲートパッド１８を備え、そして、チップ１にゲートパッド１８に隣接するように設けられた複数のエミッタ電位を有するパッド１９を備えてなる。この構成の場合、不良品のセルフブロック１２のゲートパッド１８を、エミッタ電位を有するパッド１９にワイヤボンディング可能となる。

【選択図】 図１

出 願 人 履 歴 情 報

識別番号

[000004260]

1. 変更年月日

1996年10月 8日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町1丁目1番地

氏 名

株式会社デンソー